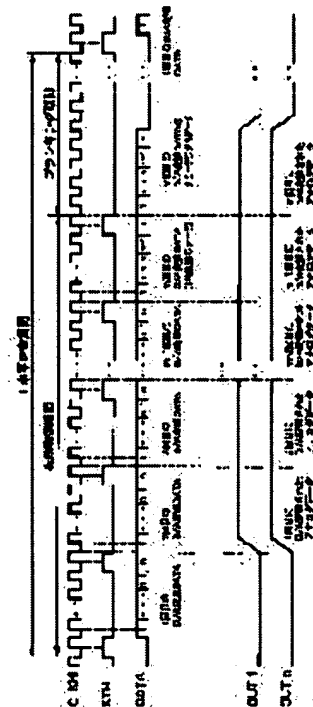


(11)Publication number : 2001-109438
(43)Date of publication of application : 20.04.2001

(21)Application number : 11-290048 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 12.10.1999 (72)Inventor : NAKAMURA NORIO

(57)Abstract:

SOLUTION: Digital video signals, which are made the same as the video signals that are D/A converted at the end of one horizontal scanning time, are added after the video signals to be D/A converted at the end of the one horizontal scanning time as dummy signals.



[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-109438
(P2001-109438A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl. ⁷	識別記号	F I	テ-リ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0 5 C 0 0 6
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 Z 5 C 0 8 0
	6 3 3		6 3 3 Z

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願平11-290048

(22) 出願日 平成11年10月12日 (1999. 10. 12)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 則夫

埼玉県深谷市幡羅町一丁目9番地2号 株式会社東芝深谷工場内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

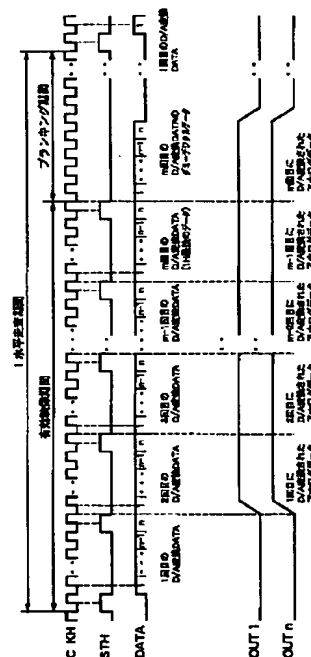
最終頁に続く

(54) 【発明の名称】 平面表示装置の駆動方法

(57) 【要約】

【課題】 アクティブマトリクス駆動の平面表示装置において、1水平走査期間の最後に発生するノイズを防止し、縞やムラのない良好な表示画像を実現する。

【解決手段】 1水平走査期間の最後にD/A変換される映像信号の後に、前記1水平走査期間の最後にD/A変換される映像信号と同じデジタルの映像信号をダミー信号として付加するようにした。



【特許請求の範囲】

【請求項1】 互いに交差する複数本の信号線と複数本の走査線との各交点近傍にスイッチ素子を介して接続される画素電極を含むアレイ基板と、前記アレイ基板に対向する対向基板と、前記アレイ基板と前記対向基板との間に介在された光変調層とを含む表示パネルと、外部から入力されるデジタル映像信号を1水平走査期間に複数回デジタル／アナログ変換してアナログ映像信号を出力するD／A変換回路と、前記アナログ映像信号を1水平走査期間毎に順次サンプリングして、前記各信号線に映像信号電圧を供給する信号線駆動回路と、前記走査線に走査信号を供給する走査駆動回路とを備えた平面表示装置において、

1水平走査期間の最後にデジタル／アナログ変換される映像信号の後にデジタルのダミー信号を付加することを特徴とする平面表示装置の駆動方法。

【請求項2】 前記D／A変換回路において、1水平走査期間の最後に変換される映像信号の後にデジタルのダミー信号を付加することを特徴とする請求項1記載の平面表示装置の駆動方法。

【請求項3】 1水平走査期間の最後にデジタル／アナログ変換される映像信号の後にデジタルのダミー信号を付加したデジタル映像信号を、前記D／A変換回路に入力することを特徴とする請求項1記載の平面表示装置の駆動方法。

【請求項4】 前記ダミー信号は、1水平走査期間の最後に変換される映像信号と同一の信号であることを特徴とする請求項1、2又は3記載の平面表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は平面表示装置の駆動方法に関するものであり、例えばアクティブマトリクス型液晶表示装置の駆動方法に関するものである。

【0002】

【従来の技術】平面表示装置の中でも、光変調層として液晶層が用いられた液晶表示装置は、軽量、薄型、低消費電力の特性を生かして各種分野で利用されている。とりわけ、各画素毎にスイッチ素子を設けたアクティブマトリクス型の液晶表示装置は、PC（パーソナルコンピュータ）などOA機器のディスプレイ装置として急激に普及しつつある。

【0003】このようなアクティブマトリクス型の液晶表示装置には、液晶パネルを構成する素子としてp-Si（ポリシリコン）TFTが多く用いられている。このp-SiTFTでは、液晶パネルのガラス基板上に一部の駆動回路を内蔵することができるため、外部回路との接続の簡易化、装置の小型化などに有利とされている。

【0004】例えば、シフトレジスタやサンプルホールド回路などで構成されるデータ線駆動回路を液晶パネル

に内蔵し、コントロールICやD／Aコンバータなどを外部基板上に配置した場合、データ線駆動回路には、D／AコンバータでD／A（デジタル－アナログ）変換されたアナログの映像信号（データ）が水平クロック信号に同期したタイミングで供給され、サンプルホールド回路を通じてデータ線へ送り出される。そして、最終的にスイッチ素子であるTFTを介して画素電極に映像信号が書き込まれる。

【0005】外部から入力される映像信号の転送速度（クロック周波数）は、例えばSVGA（800×600画素）規格のもので40MHz、XGA（1024×768画素）規格のものでは65MHzとなり、p-SiTFTでは、現在のところこのスピードでサンプルホールドすることは難しい。このため、一つの画面を複数のエリアに分割し、各エリアごとに並列的にサンプルホールドすることで、一つのエリアでの転送速度を遅くする工夫がなされている。

【0006】この場合、各エリアは内部的にさらに複数のブロックに分割され、それぞれのブロックで複数のデータ線が同時にサンプリングされる。そして、各エリアの端から端に向かって順にブロックをサンプリングすることで、一つのエリアでの映像信号のサンプリングがなされる。この動作を1水平走査期間内に複数のエリアで並列的に行うことにより、1水平ライン上にあるすべての画素への書き込みがなされる。さらに、このようなサンプリング出力を走査線の数だけ繰り返すことにより、1フレーム分の映像信号が各画素に順次書き込まれる。

【0007】

【発明が解決しようとする課題】ところで、1水平走査期間の最後に変換される映像信号の後は、表示に寄与する映像信号がないため、通常はデータレベルをLowに設定している。これによると、1水平走査期間中に複数回（m回）同じデジタルの映像信号（例えば黒）をD／A変換した場合、1～m-1番目のD／A変換ではデータレベルに変化がないためにノイズが発生することはないが、m番目のD／A変換の後ではデータレベルがLowに設定されるため、このデータレベルの変化によりノイズが発生する。すなわち、1水平走査期間の最後にD／A変換されたアナログの映像信号のみがノイズの影響を受けることになる。

【0008】とくに、上述したように一つの画面を複数のエリアに分割し、各エリアを並列的に駆動した場合は、分割したエリアの境界線付近、すなわち1水平走査期間の最後の映像信号に対応する画素列にノイズが現れ、表示画面上に縞やムラとして認識されるという問題点があった。

【0009】この発明の目的は、1水平走査期間の最後に発生するノイズを防止し、縞やムラのない良好な表示画像を実現することができる平面表示装置の駆動方法を提供することにある。

【0010】

【課題を解決するための手段】この発明に係わる平面表示装置の駆動方法は、互いに交差する複数本の信号線と複数本の走査線との各交点近傍にスイッチ素子を介して接続される画素電極を含むアレイ基板と、前記アレイ基板に対向する対向基板と、前記アレイ基板と前記対向基板との間に介在された光変調層とを含む表示パネルと、外部から入力されるデジタル映像信号を1水平走査期間に複数回デジタル／アナログ変換してアナログ映像信号を出力するD/A変換回路と、前記アナログ映像信号を1水平走査期間毎に順次サンプリングして、前記各信号線に映像信号電圧を供給する信号線駆動回路と、前記走査線に走査信号を供給する走査駆動回路とを備えた平面表示装置において、1水平走査期間の最後にデジタル／アナログ変換される映像信号の後にデジタルのダミー信号を付加することを特徴とする。

【0011】上記駆動方法によれば、1水平走査期間の最後において映像信号のデータレベルが変化することがないため、ノイズの発生が防止され、1水平走査期間の最後にD/A変換されたアナログの映像信号がノイズの影響を受けることがない。

【0012】

【発明の実施の形態】以下、この発明に係わる平面表示装置の駆動方法をパーソナルコンピュータ（PC）の液晶表示装置に適用した場合の実施形態について説明する。この実施形態では、p-Si形TFTを用いることにより駆動回路が内蔵されたアクティブマトリクス型の液晶パネルを備えた液晶表示装置について説明する。

【0013】図3は、この実施形態に係わる液晶表示装置の全体の構成を示すブロック図である。この液晶表示装置100は、駆動回路が内蔵された液晶パネル101と、この液晶パネル101にアナログの映像信号を供給する駆動回路基板102と、これらを電気的に接続するフレキシブル配線基板（FPC）106とから構成されている。

【0014】次に、液晶パネル101と駆動回路基板102の構成についてそれぞれ説明する。

【0015】図4は、液晶パネル101の回路構成図である。液晶パネル101は、アクティブマトリクス部1と、このアクティブマトリクス部1を駆動するゲート線駆動回路2及びデータ線駆動回路3とを備えている。コモン回路（対向電極駆動回路）4は、図3に示すように駆動回路基板102側に配置される回路であるが、説明を容易にするために図4に示している。

【0016】アクティブマトリクス部1は、複数の液晶画素5がマトリクス状に配置されて構成される。それぞれの液晶画素5は、画素電極8、対向電極7、及びこれら電極間に保持される光変調層としての液晶層9から構成されている。各画素電極8への映像信号の供給はスイッチ素子としてのTFT6により制御されている。各T

F T 6のゲートは、行毎に共通にゲート線G1、G2・・・Gnに接続され、ドレインは列毎にデータ線D1、D2・・・Dmに接続されている。ソースは画素電極8に接続されている。また、すべての液晶画素5に対応する対向電極7は共通にコモン回路4に接続されている。

【0017】ゲート線駆動回路2は、図示しないシフトレジスタ及びバッファを含む回路で構成されている。このゲート線駆動回路2は、垂直同期信号S T V及び垂直クロック信号C K Vに基づいて各ゲート線G1、G2・・・Gnにアドレス信号を供給する。

【0018】データ線駆動回路3は、駆動回路基板102から入力されたアナログの映像信号をデータ線D1、D2・・・Dmに供給するサンプルホールド回路（図示せず）と、このサンプルホールド回路の動作タイミングを制御するシフトレジスタ（図示せず）などで構成されている。このデータ線駆動回路3には、水平スタート信号S T H、水平クロック信号C K H及びアナログの映像信号が供給される。

【0019】上記T F T 6、画素電極8、ゲート線駆動回路2及びデータ線駆動回路3は、絶縁性基板14上に一体的に形成されている。また、T F T 6、ゲート線駆動回路2及びデータ線駆動回路3はp-Si形TFTで構成されている。

【0020】図3に示す駆動回路基板102は、駆動制御回路としてのコントロールIC103、正極性D/Aコンバータ11、負極性D/Aコンバータ12、コモン回路4及び図示しない電源回路を備えている。

【0021】コントロールIC103には、図示しないPCのプロセッサからデジタルの映像信号と基準クロック信号が入力される。コントロールIC103は、プロセッサから供給される映像信号を表示画面の分割に沿って並べ替えるとともに、極性反転駆動のために正極性又は負極性D/Aコンバータへ振り分け出力する。また、同じくプロセッサから取り込んだ基準クロック信号に基づいて、極性反転信号を始めとする各種の制御信号を生成して出力する。

【0022】正極性D/Aコンバータ11及び負極性D/Aコンバータ12は、コントロールIC103から供給されたデジタルの映像信号をアナログの映像信号に変換して液晶パネル101へ供給する。この実施形態の液晶パネル101では、後述するように表示画面がデータ線に沿って4つのエリアに分割されており、各エリア毎に24本の映像信号が供給される。すなわち、正極性D/Aコンバータ11からは、4つのエリアへそれぞれ正極性の映像信号が12本、合計で48本出力され、負極性D/Aコンバータ12からは、4つのエリアへそれぞれ負極性の映像信号が12本、合計で48本出力される。

【0023】ここで、正極性D/Aコンバータ11を例として、正極性D/Aコンバータ11及び負極性D/A

コンバータ12の構成を説明する。

【0024】図5は、正極性D/Aコンバータ11の機能的構成を示すブロック図である。

【0025】正極性D/Aコンバータ11は、コンバータ回路全体の動作を制御する制御回路111と、外部からシリアルに入力されるデジタルの映像信号を各画素データ毎にパラレルのデータとしてサンプリングするサンプリングレジスタ112と、サンプリングレジスタ112でサンプリングされたパラレルの映像信号を、制御回路111からの読み出し信号(LOAD)により取り込むロードレジスタ113と、デジタルの映像信号(階調信号)をアナログの映像信号に変換するD/A変換部114とで構成されている。

【0026】上記各部には、コントロールIC103から、水平スタート信号(STH)、水平クロック信号(CKH)、映像信号(DATA)及び基準電圧(VREF)が供給される。また、OUT1・・・OUTnは、D/A変換部114でD/A変換されたアナログの映像信号である。

【0027】コモン回路4は、電源回路からの電圧に基づいて直流のコモン電圧を対向電極7に供給する。

【0028】上述したような駆動回路基板102と図示しないPCのプロセッサとの間はFPC107により接続されている。

【0029】図6は、この実施形態に係わる液晶パネル101の概略配線図であり、とくにデータ線とこれに接続する内部配線(ビデオバス配線)の関係を示している。

【0030】この実施形態に係わる液晶パネル101では、アクティブマトリクス部1により構成される表示画面をデータ線に沿って4分割している。図6のL1、L2、R1、R2は、分割されたそれぞれの表示領域(エリア)を示している。各エリアに供給される映像信号は、画面を4分割する3つのラインのうち、左右の2ライン(ラインL、ラインR)を中心として、その分割の境界での不連続性を解消すべく、それぞれ矢印方向に向かって一斉に走査される。このような走査を行うため、データ線駆動回路3(図4)は内部的に4分割されている。すなわち、データ線駆動回路3を構成するシフトレジスタ、サンプルホールド回路などの回路群は、それぞれのエリアごとに設けられている。

【0031】この例のように、4つのエリアで同時にサンプリングして出力するように構成した場合は、一画面を1つのシフトレジスタで順次サンプリングして出力する場合に比べて、シフトレジスタでのサンプリング時間を4倍長くすることが可能となり、良好な表示画像が実現できる。

【0032】CN-L、CN-Rには、駆動回路基板102(図3)からアナログの映像信号が供給される。このCN-L、CN-Rには、各エリアに供給される24

本分の映像信号が入力される。すなわち、CN-LにはエリアL1、L2にそれぞれ供給される48本(24本×2)の映像信号が入力され、CN-RにはエリアR1、R2にそれぞれ供給される48本(24本×2)の映像信号が入力される。

【0033】液晶パネル101に入力された映像信号は、各エリアごとに配線された24本のビデオバス配線(例えば、L1P1、L1N1・・・L1N12)を通じて画素電極へ出力される。ビデオバス配線は、正極性の映像信号として出力されたデータが供給されるラインと、負極性の映像信号として出力されたデータが供給されるラインが交互に配列されている。図6に示すビデオバス配線では、正極性のラインには“P”を、負極性のラインには“N”をそれぞれ付している。例えば、ビデオバス配線L1P1は正極性のライン、L1N1は負極性のラインを示している。

【0034】図7は、図6に示すエリアL1の部分拡大図である。他のエリアも同一構成なので、ここではエリアL1を代表して説明する。

【0035】エリアL1は、内部的に32個のブロックに分けられている。そして、1つのブロックではR、G、Bの各色がそれぞれ8個ずつ振り分けられている。例えば、ブロック1にはR1・・・R8、G1・・・G8、B1・・・B8が、ブロック2にはR9・・・R16、G9・・・G16、B9・・・B16が、それぞれ振り分けられている。またブロック32にはR249・・・R256、G249・・・G256、B249・・・B256が振り分けられている。このように、各ブロックではR、G、Bの各色ごとにそれぞれ8個の振り分けがあり、1ブロックでは合計で24本分の映像信号が同時にサンプリングされる。さらに、図7に示すように、一つのブロックを一単位として32ブロックを順番にサンプリングすることにより、各エリアでの映像信号がサンプリングされて出力される。

【0036】例えば、図7のブロック32からブロック1の順にサンプリングが行われることにより、図6のエリアL1ではB256からR1へ向かって映像信号が順次サンプリングされて出力される。他のエリアでも同様のサンプリングが行われる。このように、一つのエリアでは24×32で768画素のサンプリングが行われることになるため、4つのエリアの合計では走査線1ライン分で3072個の画素に対応するサンプリングが達成される。このようなサンプリング出力を走査線の数だけ繰り返すことにより、1フレーム分の映像信号が各画素に順次書込まれる。

【0037】次に、上記液晶パネル101のビデオバス配線に供給される映像信号について説明する。

【0038】図1は、図5に示す正極性D/Aコンバータ11(負極性D/Aコンバータ12も同じ)において映像信号をD/A変換する場合のタイムチャート、図2

は、同じく映像信号をD/A変換する場合の従来例のタイムチャートである。いずれも、分割された任意の1エリアについてのタイムチャートを示している。図中、水平クロック信号(CKH)、水平スタート信号(STH)、映像信号(DATA)及びOUT1・・・OUTnは、図5に対応している。

【0039】以下、図1、図2及び図5を参照しながら、正極性D/Aコンバータ11の動作とビデオバス配線に供給される映像信号について説明する。

【0040】正極性D/Aコンバータ11の制御回路111は、シリアルデータとして送られてきたデジタルの映像信号(DATA)を水平クロック信号(CKH)に同期してサンプリングレジスタ112へ取り込む。このとき、1回の転送で一画素分のR、G、Bの映像信号が同時に取り込まれる。映像信号がn回転送されると、サンプリングレジスタ112は1ブロック分の映像信号でフルの状態となり、n回目のCKHに同期した読み出し信号(LOAD)で1ブロック分の映像信号をパラレルデータとしてロードレジスタ113へ転送する。このとき、n回目に水平スタート信号(STH)があれば、ロードレジスタ113に保持されている映像信号をD/A変換部114へ送り出す。この後、デジタルの映像信号はD/A変換されてアナログの映像信号OUT1(・・・OUTn)として出力される。

【0041】なお、映像信号は正極性D/Aコンバータ11のサンプリングレジスタ112で1ブロック分ラッチされるため、図1及び図2に示すように、映像信号OUT1・・・OUTnはそれぞれ入力時よりも1ブロック分ずれたタイミングで出力される。

【0042】ところで、図2に示す従来例では、1水平走査期間の最後(m回目)に変換される映像信号の後、データレベルがLowに設定されているため、データレベルの変化によりノイズが発生し、OUT1・・・OUTnのそれぞれにおいて、m回目にD/A変換されたアナログの映像信号のみが図中Aで示すようなノイズの影響を受けることになる。

【0043】ここで、1水平走査期間の最後に変換される映像信号とは、実質的に有効映像期間の最後に変換される映像信号である。上記ノイズは、有効映像期間とブランキング期間との境界部分に発生している。

【0044】一方、この実施形態の正極性D/Aコンバータ11では、1水平走査期間の最後(m回目)に変換される映像信号の後に、さらにm回目と同じデジタルの映像信号(ダミー信号)を付加するようにしている。すなわち、正極性D/Aコンバータ11の制御回路111は、サンプリングレジスタ112から、1水平走査期間の最後(m回目)に変換される映像信号をロードレジスタ113へ転送した後、続けてm回目と同じ映像信号をダミーデジタルデータとしてロードレジスタ113へ転送する。

【0045】これによると、m番目のD/A変換の後でもデータレベルが変化しないので、データレベルの変化に起因するノイズの発生が防止されることになり、1水平走査期間の最後にD/A変換されたアナログの映像信号がノイズの影響を受けることがない。したがって、この実施形態のように一つの画面を複数のエリアに分割し、各エリアを並列的に駆動した場合であっても、分割したエリアの境界線付近、すなわちブランキング期間直後の映像信号に対応する画素列にノイズが現れることがないので、表示画面上に縞やムラが認識されることがなく、良好な表示画像を実現することができる。

【0046】上記実施形態では、正極性D/Aコンバータ11の制御回路111において、1水平走査期間の最後(m回目)に変換される映像信号に続いて、m回目と同じ映像信号をロードレジスタ113へ転送するようにしているが、コントロールIC103(図3)からデジタルの映像信号を正極性D/Aコンバータ11(及び負極性D/Aコンバータ12)へ転送する際に、あらかじめ1水平走査期間の最後(m回目)に変換される映像信号に続いて、m回目と同じ映像信号を付加したうえで転送するようにしてもよい。

【0047】また、この付加される映像信号は先のもので全く一致することが好ましいが、多少の相違(数階調程度)は許容される。

【0048】

【発明の効果】以上説明したように、この発明に係わる平面表示装置の駆動方法においては、1水平走査期間の最後にデジタル/アナログ変換される映像信号の後に、デジタルのダミー信号を付加するようにしたので、データレベルの変化に起因するノイズの発生を防止することができる。したがって、分割された画面の境界線付近でノイズの影響による縞やムラが認識されることがなくなり、良好な表示画像を実現することができる。

【図面の簡単な説明】

【図1】正極性D/Aコンバータで映像信号をD/A変換する場合のタイムチャート。

【図2】従来例の正極性D/Aコンバータで映像信号をD/A変換する場合のタイムチャート。

【図3】実施形態に係わる液晶表示装置の全体構成を示すブロック図。

【図4】液晶パネルの回路構成図。

【図5】正極性D/Aコンバータの機能的な構成を示すブロック図。

【図6】液晶パネルの概略配線図。

【図7】図6に示すエリアL1の部分拡大図。

【符号の説明】

1 アクティブマトリクス部

2 走査線駆動回路

3 信号線駆動回路

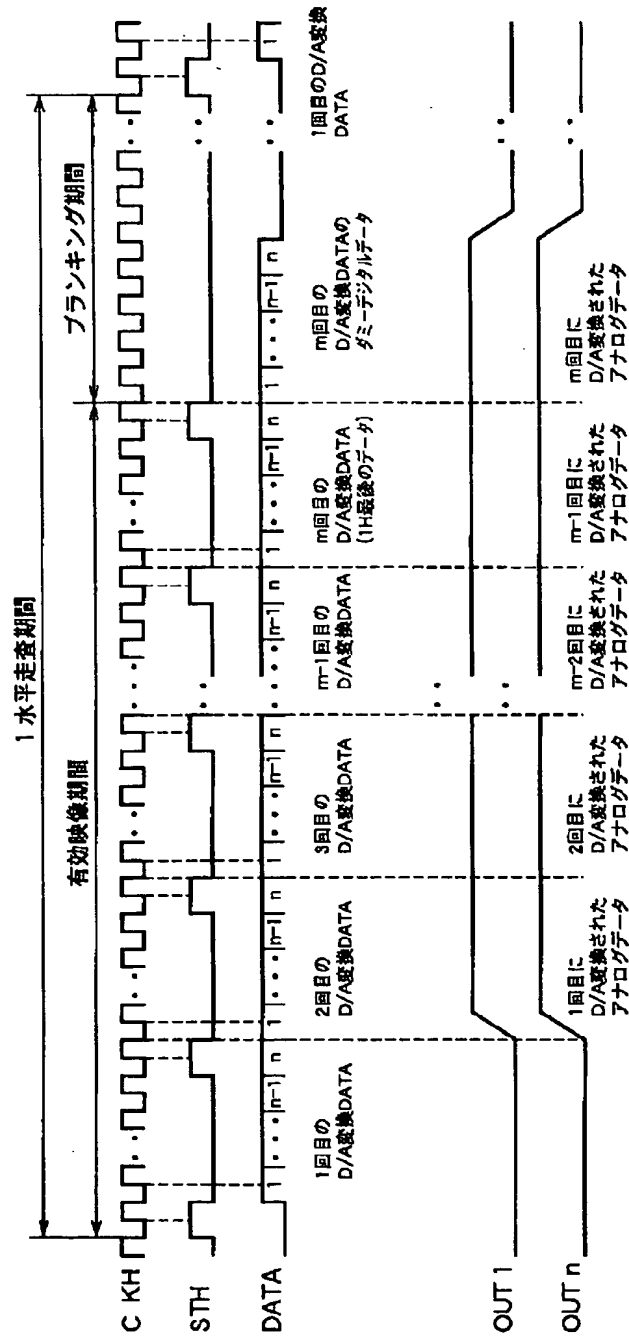
50 4 コモン回路

- 11 正極性D/Aコンバータ
- 12 負極性D/Aコンバータ
- 101 液晶パネル
- 102 駆動回路基板
- 103 コントロールIC

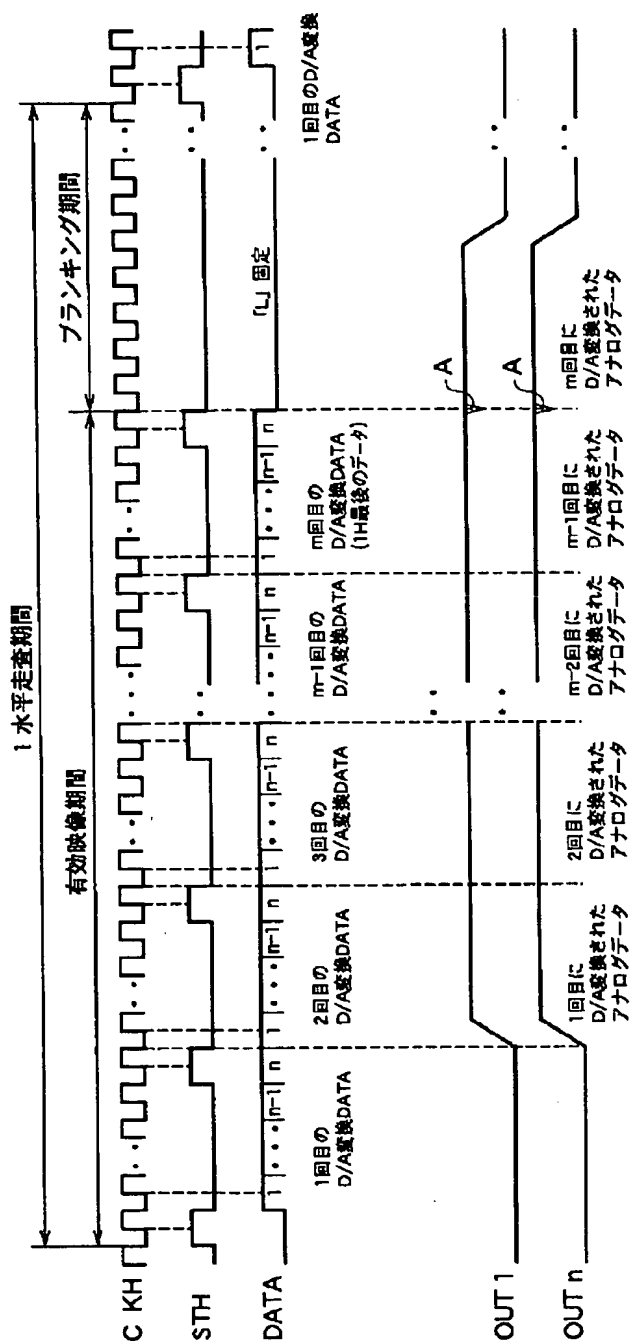
- * 111 制御回路
- 112 サンプリングレジスタ
- 113 ロードレジスタ
- 114 D/A交換部

*

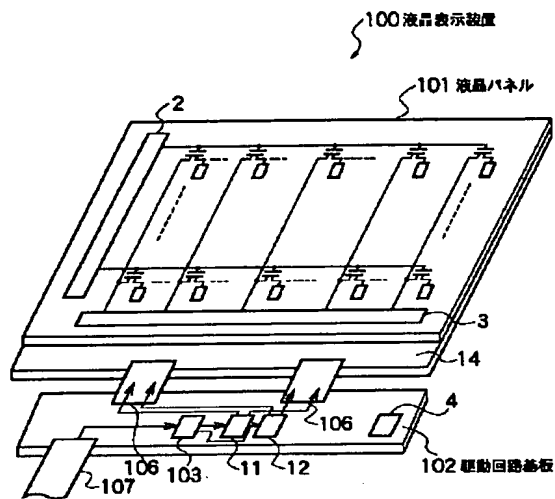
【図1】



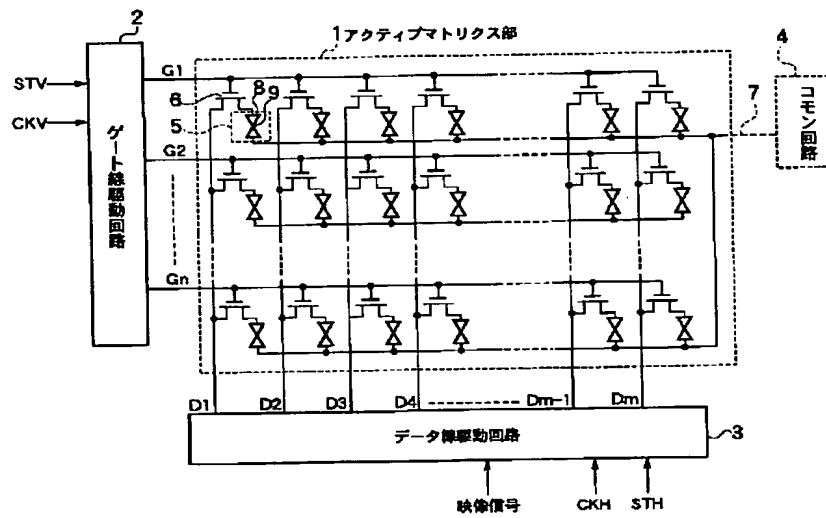
【図2】



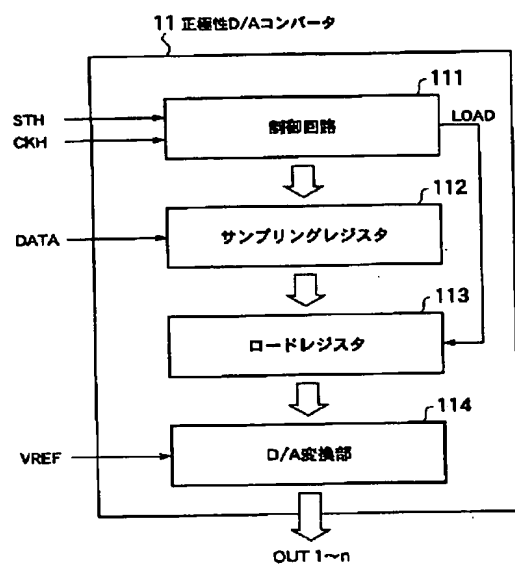
【図3】



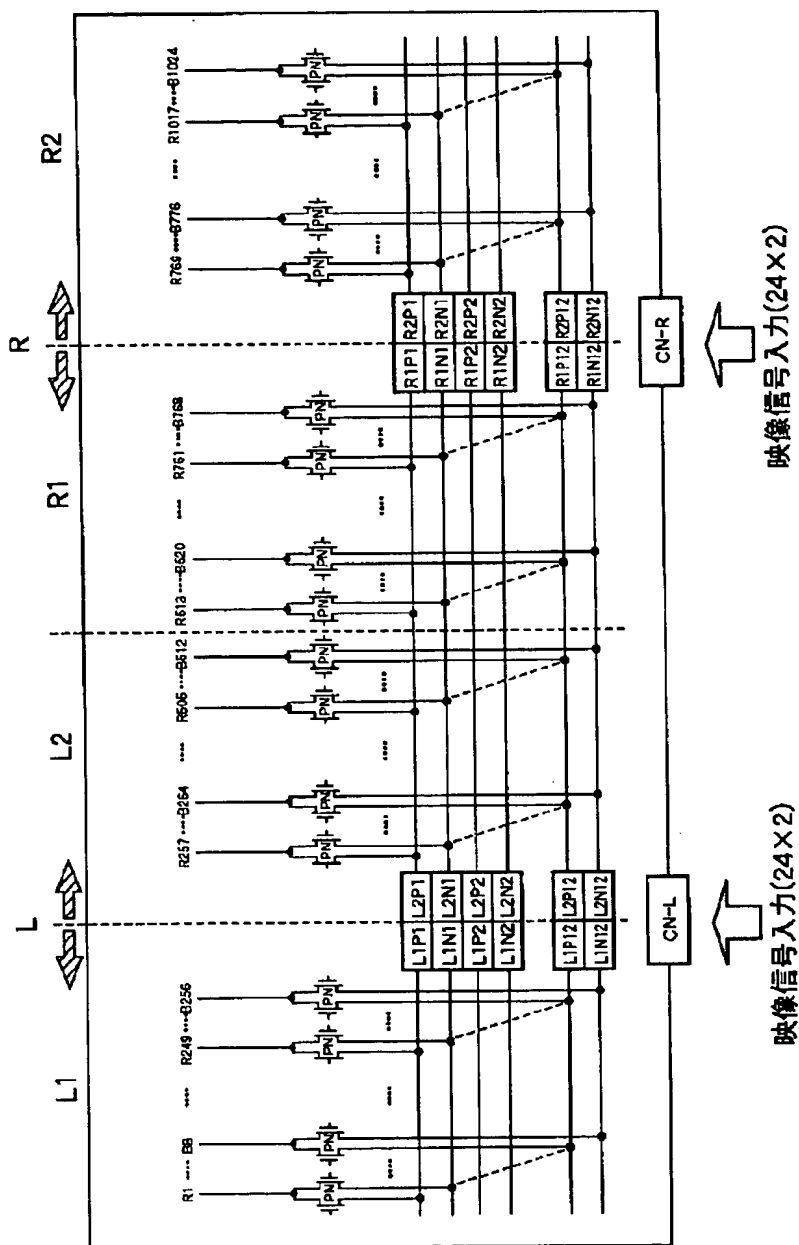
【図4】



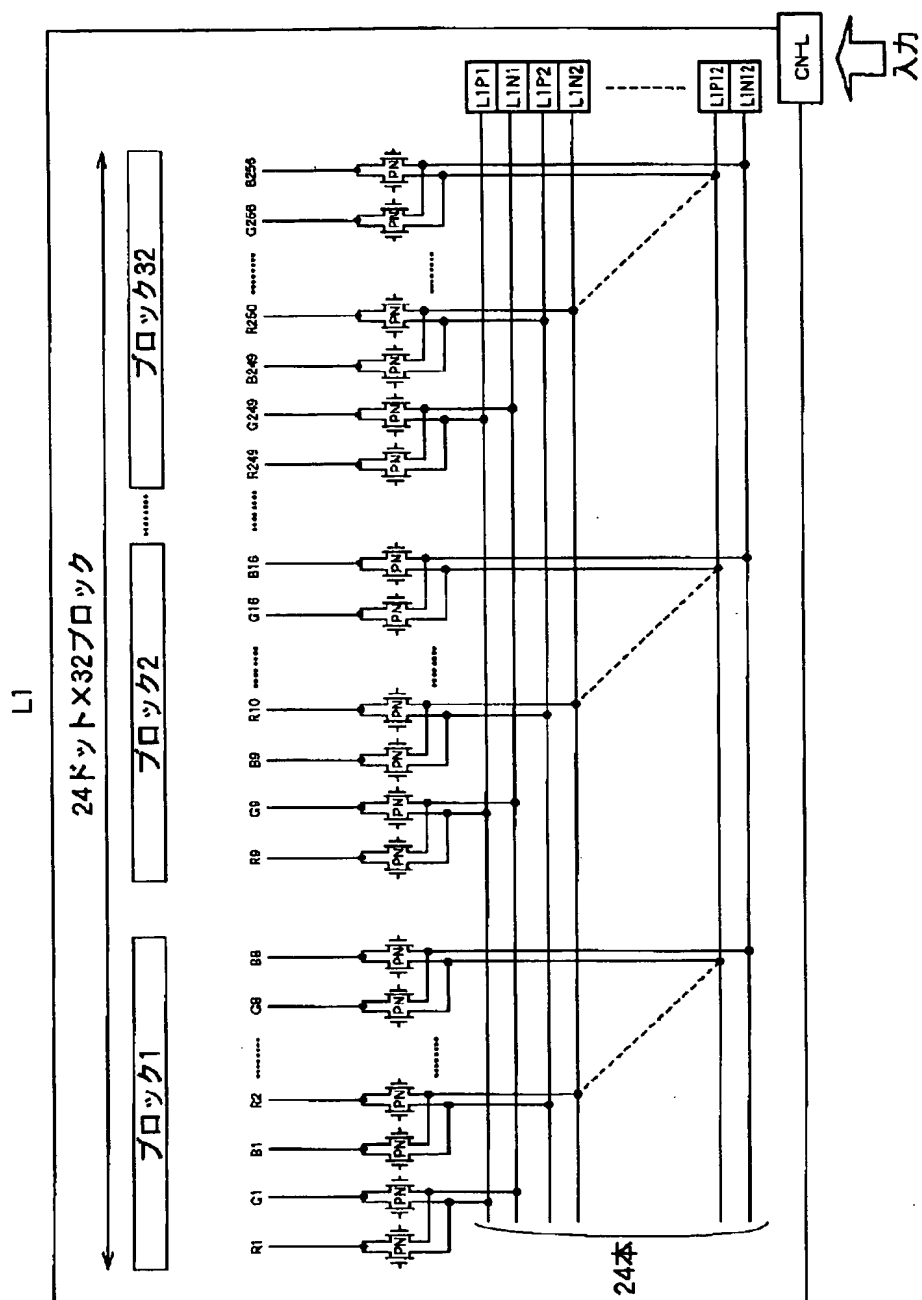
【図5】



【図6】



【図7】



フロントページの続き

Fターム(参考) 2H093 NA16 NA32 NA80 NC24 NC25
NC28 NC34 NC90 ND01 ND37
NE07 NF05
5C006 AA01 AF42 AF44 AF59 AF83
BB16 BC03 BC12 BF11 FA22
FA31
5C080 AA10 BB05 DD05 DD12 FF11
JJ02 JJ04 JJ05 JJ06

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.